

PATENT OFFICE  
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy of the following  
application as filed with this Office.

Date of Application: July 13, 2000

Application Number: Patent Application  
No. 2000-212814

Applicant(s): FUJITSU LIMITED

December 22, 2000

Commissioner,  
Patent Office Kozo Oikawa

Certificate No. 2000-3105869

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 7月13日

出 願 番 号

Application Number:

特願2000-212814

出 願 人

Applicant (s):

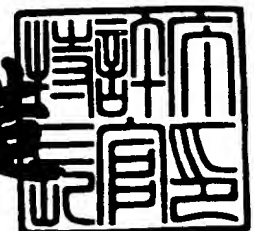
富士通株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年12月22日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 0051334

【提出日】 平成12年 7月13日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/00

【発明の名称】 F e i s t e l 構造とSPN構造とを組み合わせた演算装置および演算方法

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 下山 武司

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 伊藤 孝一

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 武仲 正彦

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 鳥居 直哉

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 矢嶋 純

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 屋並 仁史

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 横山 和弘

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100074099

【住所又は居所】 東京都千代田区二番町 8 番地 2 0 二番町ビル 3 F

【弁理士】

【氏名又は名称】 大菅 義之

【電話番号】 03-3238-0031

【選任した代理人】

【識別番号】 100067987

【住所又は居所】 神奈川県横浜市鶴見区北寺尾 7 - 2 5 - 2 8 - 5 0 3

【弁理士】

【氏名又は名称】 久木元 彰

【電話番号】 045-573-3683

【手数料の表示】

【予納台帳番号】 012542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705047

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 Feistel 構造と S P N 構造とを組み合わせた演算装置および演算方法

【特許請求の範囲】

【請求項 1】 データ入力を受け取り、該データ入力に対する演算結果をデータ出力とする演算装置において、

Feistel 構造を用いてデータ変換を行う第 1 のデータ変換手段の 1 つ以上と、  
S P N 構造を用いてデータ変換を行う第 2 のデータ変換手段の 1 つ以上とが、  
前記データ入力とデータ出力との間で継続的に組み合わせられたことを特徴とする  
Feistel 構造と S P N 構造とを組み合わせた演算装置。

【請求項 2】 前記 S P N 構造が、  
前記データ入力の 1 ブロックのブロック長をワード長で除算した値の入・出力  
ビット数を持つ非線形変換手段と、

インタリーブ変換を用いる線形変換手段とを備えることを特徴とする請求項 1  
記載の Feistel 構造と S P N 構造とを組み合わせた演算装置。

【請求項 3】 前記 S P N 構造を構成する非線形変換手段として、  
該非線形変換手段への入力ビットのうちで固定された 1 つ以上の入力ビットに  
のみ差分が与えられた入力データの組に対して、前記固定された 1 つ以上の入力  
ビットと同じ位置にある固定された 1 つ以上の出力ビットにのみ出力データの組  
に差分が現われる確率が 0 となり、

かつ該固定された 1 つ以上の入力ビット、および該固定された 1 つ以上の出力  
ビットにのみ関係する任意の線形関係式がすべての入・出力データ間で成立する  
確率が  $1/2$  となる非線形変換手段を備えることを特徴とする請求項 1、または  
2 記載の Feistel 構造と S P N 構造とを組み合わせた演算装置。

【請求項 4】 データ入力を受け取り、該データ入力に対する演算結果をデータ出力とする演算方法において、

Feistel 構造を用いてデータ変換を行う第 1 のデータ変換ステップの 1 つ以上  
と、

S P N 構造を用いてデータ変換を行う第 2 のデータ変換ステップの 1 つ以上と

を、前記データ入力とデータ出力との間で組み合わせて実行することを特徴とするFeistel 構造とSPN構造とを組み合わせた演算方法。

【請求項5】 前記SPN構造を用いる第1のデータ変換ステップにおいて

前記データ入力の1ブロックのブロック長をワード長で除算した値を入・出力ビット数とする非線形変換と、

インタリーブ変換を用いる線形変換とを実行することを特徴とする請求項4記載のFeistel 構造とSPN構造とを組み合わせた演算方法。

【請求項6】 前記SPN構造内で実行されるべき非線形変換として、

該非線形変換においての入力ビット数のうちで固定された1つ以上の入力ビットにのみ差分が与えられた入力データの組に対して、前記固定された1つ以上の入力ビットと同じ位置にある固定された1つ以上の出力ビットにのみ出力データの組に差分が現われる確率が0となり、

かつ該固定された1つ以上の入力ビット、および該固定された1つ以上の出力ビットにのみ関係する任意の線形関係式がすべての入・出力データ間で成立する確率が $1/2$ となる非線形変換を実行することを特徴とする請求項4、または5記載のFeistel 構造とSPN構造とを組み合わせた演算方法。

【請求項7】 データ入力を受け取り、該入力データに対する演算結果をデータ出力とする演算を実行する計算機によって使用される記憶媒体において、

Feistel 構造を用いてデータ変換を行う第1のデータ変換ステップの1つ以上と、

SPN構造を用いてデータ変換を行う第2のデータ変換ステップの1つ以上とを、前記データ入力とデータ出力との間で組み合わせて実行させる機能を備えるプログラムを格納した計算機読出し可能可搬型記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は共通鍵ブロック暗号方式に係り、更に詳しくはFeistel 構造とSPN構造とを組み合わせ、かつSPN構造に特別の工夫を行ってデータの拡散性を向

上させる暗号化装置、および暗号化方法に関する。

【0002】

【従来の技術】

高度情報化社会を迎え、情報セキュリティの確保は緊急の課題となっている。情報セキュリティの基本となるのはデータの暗号化である。高度情報化社会において高速、かつ安全な通信を実現するために共通鍵ブロック暗号は不可欠の技術である。この共通鍵ブロック暗号のアルゴリズムとして従来様々な方式が提案されているが、それらは基本的にはFeistel 構造と呼ばれる構造の繰返し、あるいはSPN構造と呼ばれる構造の繰返しのいずれかであった。

【0003】

図12はFeistel 構造の説明図である。同図において、例えば入力128ビットは右側64ビットと左側64ビットに分割され、右側64ビットはF関数51と呼ばれる非線形関数に入力され、その出力と左側64ビットとがXOR52によって排他的論理和がとられ、その結果が出力128ビットのうちの右側64ビットとして出力され、左側64ビットとしては入力128ビットのうちの右側64ビットがそのまま出力される。このようなFeistel 構造が、例えば16段繰返されて、暗号化が行われる。

【0004】

図13はSPN構造の例である。この構造においては、Sボックスと呼ばれる非線形変換53と、線形変換P54とが組み合わされて用いられる。

SボックスのSはサブステイテーション、すなわち換字を、関数Pはパーミューテーション、すなわち置換を意味するが、現在ではSはより一般的に非線形写像を、またPは置換だけではなく、ビット単位の線形変換を指すものとなっている。

【0005】

いずれにせよ、このようなSPネットワーク（SPN）構造が多段に繰返されることによって暗号化が行われる。なお図12のFeistel 構造内のF関数として後述するようにSPN構造が用いられるが、図12は全体としてはFeistel 構造を示すものである。



## 【 0 0 0 6 】

## 【発明が解決しようとする課題】

以上のような共通鍵ブロック暗号方式においては、Feistel 構造、S P N 構造のいずれを用いるとしても、なるべく少ない段数でデータの安全性が保証されるような暗号化を行う必要がある。しかしながら、まずFeistel 構造を用いる場合には1段で入力データ長の半分しか攪拌されず、ワード内のデータ攪拌には効果があるが、ワードを越えたデータ攪拌能力が劣るという問題点がある。また入出力が対称の形式となっていることから、暗号としては繰返し型の差分近似式、または線形近似式が存在する可能性があり、差分攻撃や線形攻撃にさらされる危険性があるという問題点があった。

## 【 0 0 0 7 】

これに対してS P N構造を用いる場合には、ワード間のデータ攪拌性には効果があり、入出力が非対称の形式であるという長所を持つが、入力データ長全体を分割して複数のSボックスに入力させる必要があり、Sボックスは一般にメモリ内にテーブルとして保持されるものを使用するため、Sボックスの数が増えることによってテーブル参照回数が増加し、S P N構造だけを何段も組み合わせる場合には、処理に時間がかかるという問題点があった。

## 【 0 0 0 8 】

本発明の課題は、上述の問題点に鑑み、Feistel 構造とS P N構造とを組み合わせ、それぞれの欠点をできるだけ解消させる暗号化を行うと共に、S P N構造内のSボックスにおいてもデータ攪拌効果を更に向上させることによって、演算量をできるだけ削減し、かつデータ拡散性能に優れた暗号化装置、および暗号化方法を提供することである。

## 【 0 0 0 9 】

## 【課題を解決するための手段】

図1は本発明の演算装置の原理構成ブロック図である。同図はデータ入力を受け取り、そのデータ入力に対する演算結果をデータ出力とする演算装置を示す。この演算装置1では、Feistel 構造を用いてデータ変換を行う第1のデータ変換手段2の1つ以上と、S P N構造を用いてデータ変換を行う第2のデータ変換手

段 3 の 1 つ以上とが、データ入力とデータ出力との間で縦続的に組み合わせられる。

#### 【 0 0 1 0 】

図 1 (a) においては、データ入力に対して最初に第 1 データ変換手段 2、次に第 2 のデータ変換手段 3 が用いられ、(b) においては逆に最初に第 2 のデータ変換手段 3 が、次に第 1 のデータ変換手段 2 が用いられる。

#### 【 0 0 1 1 】

(c) においては先ず第 1 のデータ変換手段 2 が 2 段用いられた後に、第 2 のデータ変換手段 3 が用いられる。(d) においては逆に第 2 のデータ変換手段 3 が用いられた後に、第 1 のデータ変換手段 2 が 2 段連続に用いられてデータ出力が行われる。

#### 【 0 0 1 2 】

このように本発明においては第 1 のデータ変換手段 2 の 1 つ以上と、第 2 のデータ変換手段 3 の 1 つ以上とが組み合わせられて用いられるが、Feistel 構造を用いる第 1 のデータ変換手段 2 については、1 段ではデータの片側しか攪拌されないため、例えば 2 段連続的に用いられてデータの両側の攪拌が行われるような形式で組み合わせが行われる。なお、2 つのデータ変換手段をさらに多数組み合わせることも当然可能である。

#### 【 0 0 1 3 】

本発明の実施の形態においては、SPN 構造の中にデータ入力の 1 ブロックのブロック長、例えば 1 2 8 ビットをワード長 3 2 ビットで割算した値、例えば 4 ビットの入・出力ビット数を持つ非線形変換手段、例えば S ボックスと、インタリーブ変換を用いる線形変換手段とを備えることもできる。

#### 【 0 0 1 4 】

また発明の実施の形態においては SPN 構造を構成する非線形変換手段、例えば S ボックスとして入力ビット数、例えば 4 ビットのうちで、1 つ以上、例えば右側 2 ビットにのみ差分が与えられた入力データの組に対して、同じ位置、すなわち右側 2 ビットにのみ出力データの組に差分が現われる確率が 0 となり、かつ例えば右側 2 ビットの入力ビットおよび右側 2 ビットの出力ビットにのみ関係す

る任意の線形関係式がすべての入出力データ間で成立する確率が  $1/2$  となる非線形変換手段を備えることもできる。

## 【 0 0 1 5 】

本発明の演算方法においては、データ入力に対する演算結果をデータ出力とする演算方法において、Feistel 構造を用いてデータ変換を行う第 1 のデータ変換ステップの 1 つ以上と、SPN 構造を用いてデータ変換を行う第 2 のデータ変換ステップの 1 つ以上とを、データ入力とデータ出力の間に組み合わせて実行する演算方法が用いられる。

## 【 0 0 1 6 】

発明の実施の形態においては、この演算方法内の SPN 構造を用いた第 1 のデータ変換ステップにおいて、データ入力の 1 ブロックのブロック長をワード長で割った値を入出力ビット数とする非線形変換と、インタリーブ変換を用いる線形変換とを実行することもできる。

## 【 0 0 1 7 】

また本発明の実施の形態においては、この SPN 構造内で実行されるべき非線形変換として、入力ビット数のうちで 1 つ以上、例えば右側半数の入力ビットにのみ差分が与えられた入力データの組に対して、同じ右側半数の出力ビットにのみ出力データの組に差分が現われる確率が 0 となり、かつ右側半数の入力ビット、および右側半数の出力ビットにのみ関係する任意の線形関係式がすべての入出力データの間で成立する確率が  $1/2$  となる非線形変換を実行することもできる。

## 【 0 0 1 8 】

更に本発明においては、データ入力を受け取り、そのデータ入力に対する演算結果をデータ出力とする演算を実行する計算機によって使用される記憶媒体として、Feistel 構造を用いてデータ変換を行う第 1 のデータ変換ステップの 1 つ以上と、SPN 構造を用いてデータ変換を行う第 2 のデータ変換ステップの 1 つ以上とを、データ入力とデータ出力との間に組み合わせて実行させる機能を有するプログラムを格納した計算機読出し可能可搬型記憶媒体が用いられる。

## 【 0 0 1 9 】

以上のように本発明によれば、Feistel 構造と S P N 構造とがデータ入力とデータ出力との間で組み合わせられて演算が実行され、更に S P N 構造の内部で、例えば右側半数の入力ビットにのみ差分が入力データの組に現われた場合、右側半数の出力ビットには出力データの組に差分が現われないような非線形変換が用いられる。

【 0 0 2 0 】

【発明の実施の形態】

本発明においては、Feistel 構造と S P N 構造とが組み合わせられて、演算装置、または演算方法が構成されるが、そのような演算装置および演算方法として、入力された平文を暗号化して出力する暗号文生成装置、および生成方法を発明の実施形態として説明する。

【 0 0 2 1 】

図 2 はそのような暗号文生成装置のシステム構成ブロック図である。同図において、暗号文生成装置は処理装置 1 0、入力ファイル 1 1、出力ファイル 1 2、表示装置 1 3、および入出力装置 1 4 によって構成されている。

【 0 0 2 2 】

処理装置 1 0 の内部には、使用される Feistel 構造を決定する Feistel 構造決定部 1 6、S P N 構造を決定する S P N 構造決定部 1 7、Feistel 構造と S P N 構造とを組み合わせた暗号化アルゴリズムを決定する暗号化アルゴリズム決定部 1 8、その暗号化アルゴリズムに従って平文を暗号化する暗号文生成部 1 9 を備えている。

【 0 0 2 3 】

入力ファイル 1 1 には暗号化されるべき入力データとしての平文、入力データ 1 ブロックのビット長  $n$ 、処理装置 1 0 による演算に適切なワードのビット長  $w$ 、および後述するように S P N 構造の中で用いられる線形変換としてのインターリーブ変換の内容などが格納されている。

【 0 0 2 4 】

また出力ファイル 1 2 には、Feistel 構造決定部 1 6 によって決定される Feistel 構造に用いられている F 関数、S P N 構造決定部 1 7 によって決定される S

ボックスの非線形関数に相当する写像 S、および暗号化アドレス決定部 18 によって決定された Feistel 構造と S P N 構造の組合せとしての暗号化アルゴリズムなどが格納される。

#### 【 0 0 2 5 】

図 3 は本実施形態における Feistel 構造と S P N 構造との組合せ、すなわち暗号化アルゴリズム決定部 18 によって決定された暗号化アルゴリズムの例である。同図において、入力データに対してまず Feistel 構造 20 a、20 b による演算が 2 段行われる。その後 S P N 構造 23 による演算が行われ、その結果に対して更に 2 段の Feistel 構造 20 c、20 d による演算が行われ、その結果が暗号文として出力されることになる。

#### 【 0 0 2 6 】

図 3 においては、1 段の Feistel 構造によっては入力データのうち片側半分しか攪拌されないため、Feistel 構造が 2 段重ねて用いられると共に、後述するように S P N 構造 23 にワード内の攪拌効果を大きくする工夫が取り入れられる。すなわち S ボックスで用いられる非線形関数に対して、後述する図 8、図 9 のような性質を持つ関数を用いてワード内の攪拌効果を大きくすると共に、更に線形変換としてインタリーブ変換を用いることによって、1 つのブロックを構成する複数のワードの間での攪拌効果が大きくなるように S P N 構造が構成される。

#### 【 0 0 2 7 】

なお、Feistel 構造を 3 段以上連続して用いると S P N 構造を組み合わせた効果が薄れてくるため、図 3 では S P N 構造が 2 段の Feistel 構造の間に挿入された組合せとなっている。

#### 【 0 0 2 8 】

図 4 はその S P N 構造 23 の概略の説明図である。同図において入力データ、例えば 128 ビットに対してまずインタリーブ変換 24 が行われ、例えば 32 ビットで構成される 4 つのワード間のデータの攪拌が行われる。その攪拌結果は複数の S ボックス 25 に与えられ、S ボックス 25 の出力に対してインタリーブ逆変換 26 が行われて、S P N 構造の出力となる。

#### 【 0 0 2 9 】

図5は本実施形態における暗号文生成処理の全体フローチャートである。同図において処理が開始されると、まずステップS1で平文、すなわち入力データブロックのビット長 $n$ が入力されて、ステップS2でFeistel 構造 $R$ が定められる。本実施形態においては、このFeistel 構造内の非線形関数 $F$ として任意の関数を用いることができるものとするが、その例については図6で説明する。

## 【0030】

続いてステップS3で演算器に適するワードのビット長 $w$ が入力され、ステップS4でSPN構造 $B$ が定められる。このSPN構造 $B$ については、図4で説明したようにインタリーブ変換とSボックスの非線形関数の内容が問題となるが、これらについては後述する。

## 【0031】

そしてステップS5で、1段以上のFeistel 構造と1段以上のSPN構造とが組み合わされて、例えば図3で示したような暗号化アルゴリズムが定められ、ステップS6でその暗号化アルゴリズムに従って入力データとしての平文が暗号化されて暗号文が生成され、処理を終了する。

## 【0032】

図6は本実施形態においてFeistel 構造の内部で用いられる $F$ 関数の例である。この $F$ 関数としては、前述のように任意の非線形関数を用いることができ、その意味で $F$ 関数として図6のものをを用いなければならない理由はないが、その構成について特徴的な部分を中心に説明する。

## 【0033】

図6において、入力データ64ビットはそれぞれ右側、左側32ビットずつに分割され、XOR30a, 30bによってkey1とkey2との排他的論理和がそれぞれとられ、6ビットまたは5ビットずつに分割されて、それぞれ6つのSボックス31に入力される。一般的にはSボックスとして全てのSボックスの入出力ビット数が等しいものを並べて使う場合が多い。ここでは6ビット入出力のSボックスと5ビットの入出力のSボックスとを混在させて用いているが、その詳細については説明を省略する。

## 【0034】

それぞれ6個のSボックス31の出力はMDS変換部32a, 32bに与えられる。ここでMDS変換部は、図12で説明したSPN構造における関数Pに相当し、その意味ではFeistel 構造内のF関数はSPN構造を持つともいえるが、このP関数におけるデータの拡散性を定義する1つの概念としての分岐数を最大とする線形変換層がMDS変換部である。この分岐数は、暗号に対する差分攻撃や、線形攻撃に対する強度を評価するバロメータであり、その詳細については次の文献で説明されている。

文献) 共通鍵ブロック暗号の選択/設計/評価に関するドキュメント、通信・放送機構

MDS変換部32a, 32bの出力は、それぞれXOR33a, 33bに与えられ、排他的論理和がとられるが、例えばMDS変換部32aの出力32ビットに対しては、0x5555 5555との論理積がとられた後にE xオア33bに与えられる。このような論理積がとられるのは、MDS変換部32a, 32bの出力がそのまま与えられるのでは、E xオア33a, 33bの出力は同じになってしまうためである。ここでMDS変換部32aの出力と論理積がとられるデータは2進数では010101・・・0101(32ビット)であり、またMDS変換部32bの出力と論理積がとられるデータは101010・・・1010(32ビット)である。

【0035】

図7は図5のステップS4、すなわちSPN構造Bの決定処理の詳細フローチャートである。同図において処理が開始されると、まずステップS9で入出力ビット数が求められた後に、ステップS10でランダムな写像Sが新しく選択される。この写像Sは、図5のステップS1で入力されたブロックのビット長nを、ステップS3で入力されたワードのビット長wで割った結果としての、rビット入出力の1対1写像である。

【0036】

例えば平文、すなわち入力データのブロックのビット長nが128ビットであり、ワード長wが32ビットであるとする、rは4ビットとなり、4ビット入出力のランダムな写像Sが選択される。

## 【 0 0 3 7 】

図 7 のステップ S 1 1 で、写像 S を対象として固定された半数の入力ビット、例えば 4 ビットのうち 2 ビットにのみ差分が与えられた入力データの組に対して、同じ位置にある固定された半数の出力ビットにのみ出力データの組に差分が現われる確率が 0 であるか否かが判定され、0 でない場合にはステップ S 1 0 に戻り、新しいランダムな写像 S の選択以降の処理が繰り返される。

## 【 0 0 3 8 】

ステップ S 1 1 で確率が 0 と判定されると、ステップ S 1 2 で写像 S を対象として固定された半数の入力ビット、および例えば同じ位置にある固定された半数の出力ビットのみに関係する任意の線形関係式について、全ての入出力ビットデータ間でその線形関係式が成立する確率が  $1/2$  であるか否かが判定され、 $1/2$  でない場合にはステップ S 1 0 以降の処理が繰り返される。なおステップ S 1 1、S 1 2 における判定については図 8、図 9 を用いて更に後述する。

## 【 0 0 3 9 】

ステップ S 1 2 で確率が  $1/2$  である場合には、ステップ S 1 3 でその写像 S とインタリーブ変換、例えば図 1 0 で後述するインタリーブ変換であって、図 2 の入力ファイル 1 1 に格納されているインタリーブ変換とが組み合わされて S P N 構造 B が定められ、処理を終了する。

## 【 0 0 4 0 】

図 8 は図 7 のステップ S 1 1 で判定される確率の例である。この例は、4 ビットを入出力ビット数とする非線形の S 関数として

S : (0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15)  
 → (1, 9, 6, 12, 7, 2, 15, 11, 14, 0, 5, 10, 4, 3, 8, 13)

の関数を用いた場合の例であり、入力差分に対して出力差分が現われる確率としての  $x/16$  の  $x$  を表わしたものである。なおこの非線形 S 関数の入出力関係において、例えば最後の 10 進 1 5 に対して 10 進 1 3 が出力されること、すなわち 2 進数 1 1 1 1 に対して 1 1 0 1 が出力されることが示されている。

## 【 0 0 4 1 】

図 8 において 4 ビットのうち右側半分に入力差分が表われている上の 3 行にお



いては、対応する位置の片側半分に出力差分が現われる確率、すなわち左側 3 列の確率は 0 であることが、また左側半分に入力差分が現われている入力データの組、すなわち下側 3 行に対しては左側半分に出力差分が現われる確率、すなわち右側 3 列の確率が 0 であることが示されている。

## 【 0 0 4 2 】

図 8 において、例えば入力差分が (0 0 0 1) であり、かつ出力差分が (0 1 0 0) である入出力データ組は入力組 (0 1 1 0), (0 1 1 1) に対する出力組 (1 1 1 1), (1 0 1 1) と、入力組 (0 1 1 1), (0 1 1 0) に対する出力組 (1 0 1 1), (1 1 1 1) の 2 組だけであることが計算によって確認されている。

## 【 0 0 4 3 】

図 9 は図 7 のステップ S 1 2 で判定される確率の例を示す。この確率は前述の非線形 S 関数に対する確率を示すものである。すなわち、片側 2 入力ビットおよび片側 2 出力ビットのみに関係した任意の全ての線形関係式について、全入出力ビットデータ間でその線形関係式が成立する確率  $(8 - x) / 16$  を決める  $x$  を示すものである。

## 【 0 0 4 4 】

図 9 において、右側 2 入力ビットと右側 2 出力ビットとにそれぞれ差分が現われるのは上 3 行の左側 3 列であり、このような入出力ビットデータ間で線形関係式が成立する確率を示す  $x$  の値が 0 であることから、その確率は  $8 / 16$ 、すなわち  $1 / 2$  となる。

## 【 0 0 4 5 】

同様に左側 2 入力ビット、左側 2 出力ビットに差分が現われるのは、下 3 行のうち右側 3 列であり、これらの入出力データ間においても線形関係式の成立確率は  $1 / 2$  となる。線形関係式の成立確率が  $1 / 2$  となるということは、その入出力データ間でその線形関係式が成立することもあり、また成立しないこともあることを示し、その線形関係式自体に意味がないことを示している。

## 【 0 0 4 6 】

入出力ビットに関するある線形式の値が常に 0、または 1 となるとき、入出力

の間にその線形式が成立することになる。暗号においては入出力が線形関係からできるだけ離れていることが望ましく、その意味で前述の成立確率  $1/2$  という状況が望ましい。

## 【0047】

入力を  $(x_0, x_1, x_2, x_3)$ 、出力を  $(y_0, y_1, y_2, y_3)$  とし、入力  $(0001)$ 、出力  $(0100)$  に関する線形式  $x_3 + y_1$  の値を調べることにする。前述の写像  $S$  で入力  $1 = (0001)$  に対する出力は  $9 = (1001)$  であることから、 $x_3 + y_1 = 1 + 0 = 1$  となる。同様にして、すべての入出力の間で  $x_3 + y_1$  の値は次のように求められる。

## 【0048】

In 0, Out 1  $\rightarrow$  0  
 In 1, Out 9  $\rightarrow$  1  
 In 2, Out 6  $\rightarrow$  1  
 In 3, Out c  $\rightarrow$  0  
 In 4, Out 7  $\rightarrow$  1  
 In 5, Out 2  $\rightarrow$  1  
 In 6, Out f  $\rightarrow$  1  
 In 7, Out b  $\rightarrow$  1  
 In 8, Out e  $\rightarrow$  1  
 In 9, Out 0  $\rightarrow$  1  
 In a, Out 5  $\rightarrow$  1  
 In b, Out a  $\rightarrow$  1  
 In c, Out 4  $\rightarrow$  1  
 In d, Out 3  $\rightarrow$  1  
 In e, Out 8  $\rightarrow$  0  
 In f, Out d  $\rightarrow$  0

この計算によって、 $x_3 + y_1 = 1$  という線形式が成立する入出力関係は 12 となり、確率が  $12/16$  となることから図 9 内で対応する  $x$  の値は  $-4$  となる。

## 【 0 0 4 9 】

図 1 0 は図 4 で説明したインタリーブ変換の例である。同図において、例えば S P N 構造への入力データは、A, B, C, D の 4 つの部分に分割され、分割されたデータは 4 行で示されるような形式に変換される。更に A, B, C, D のデータが列に並ぶように変換され、最終的に A, B, C, D のデータのうちの最初の部分が 1 番目に並べられ、次の部分が 2 番目に、以下同様に並べられるような形式に変換されて、例えば A, B, C, D の最初の部分、すなわち 1 番目に並べられたデータが、図 4 で最も左側にある S ボックス 2 5 に入力されることになる。

## 【 0 0 5 0 】

例えば A を 3 2 ビット変数 X, B を Y, C を Z, D を W (それぞれ 3 2 ビット変数) に割り当て、 $X = (x_0, x_1, \dots, x_{31})$ ,  $Y = (y_0, y_1, \dots, y_{31})$ ,  $Z = (z_0, z_1, \dots, z_{31})$ ,  $W = (w_0, w_1, \dots, w_{31})$  とすると、図 1 0 のインタリーブ変換の出力は  $(x_0, y_0, z_0, w_0, x_1, y_1, z_1, w_1, \dots, x_{31}, y_{31}, z_{31}, w_{31})$  となる。

## 【 0 0 5 1 】

このように本実施形態においては、非線形 S 関数と、線形変換としてのインタリーブ変換とを組み合わせることによって、入力データの攪拌性能の向上が図られる。

## 【 0 0 5 2 】

図 8、図 9 で説明したように、S ボックスの入力の片側 2 ビット、例えば右側 2 ビットに入力差分が与えられた時、右側 2 ビットに出力差分が現われる確率は 0 であり、左側 2 ビットに出力差分が現われる確率が 0 とならないことから、右側半分に差分が与えられた入力データの組に対しては左側にその影響が現われることになり、データの攪拌効果が得られる。

## 【 0 0 5 3 】

図 9 では右側 2 ビットの入力ビットと出力ビットのみに関係する線形関係式の成立確率が  $1/2$  となる。すなわちその線形関係式に意味がないのに対して、右側 2 ビットと左側 2 ビットのみに関係した線形関係式については、その成立確率

が  $1/2$  より大きくなるものが明らかに存在することになる。右側 2 ビットと左側 2 ビットとを関係づける線形関係式によってデータの攪拌効果が得られることになる。

#### 【 0 0 5 4 】

図 1 1 は本実施形態におけるプログラムのコンピュータへのローディングの説明図である。本発明の実施形態としての暗号化装置、例えば図 2 に示したシステムなどは、当然一般的なコンピュータシステムによって構成することができる。図 1 1 はそのようなシステムの構成を示し、コンピュータ 4 1 は本体 4 2 とメモリ 4 3 とによって構成されている。メモリ 4 3 はランダムアクセスメモリ (RAM)、ハードディスク、磁気ディスクなどの記憶装置であり、本発明の特許請求の範囲第 7 項のプログラムや、図 5、図 7 で説明したプログラムなどはメモリ 4 3 に格納され、そのプログラムが本体 4 2 によって実行されることによって、本発明の演算方法が実現され、入力データに対する暗号化が行われる。

#### 【 0 0 5 5 】

本発明を実現するためのプログラムは、プログラム提供者側からネットワーク 4 4 を介してコンピュータ 4 1 にロードされることも、また市販され、流通している可搬型記憶媒体 4 5 に格納され、そのプログラムがコンピュータ 4 1 にロードされることによって実現されることも可能である。可搬型記憶媒体 4 5 としてはフロッピーディスク、CD-ROM、光ディスク、光磁気ディスクなど様々な形式の記憶媒体を使用することができ、前述のプログラムなどがこのような記憶媒体に格納され、コンピュータ 4 1 にロードされることによって、本実施形態における暗号化アルゴリズムが出力され、その暗号化アルゴリズムを用いて入力データに対する暗号文を生成することが可能となる。

#### 【 0 0 5 6 】

##### 【発明の効果】

以上詳細に説明したように、本発明によればワード内でのデータの攪拌、および拡散性能に優れた Feistel 構造と、ワード間の攪拌性や、高速演算性、入出力についての非対称性などの性質を持つ SPN 構造とを組み合わせることによって、暗号化演算の高速性を図ると共に、暗号の安全性を向上させることができる。

更に S P N 構造における S ブロックの非線形関数として、データの攪拌がデータの片側に偏らないような写像を用いることによりデータ攪拌性を向上させると共に、インタリーブ変換を用いることによってワード間のデータの攪拌性を更に向上させることができ、共通鍵ブロック暗号の性能向上に寄与するところが大きい。

【図面の簡単な説明】

【図 1】

本発明の原理構成ブロック図である。

【図 2】

本発明における暗号化装置のシステム構成ブロック図である。

【図 3】

Feistel 構造と S P N 構造の組合せの例を示す図である。

【図 4】

S P N 構造の構成例を示す図である。

【図 5】

暗号化アルゴリズムの決定と入力データの暗号化処理の全体処理フローチャートである。

【図 6】

Feistel 構造で用いられる F 関数の例を示す図である。

【図 7】

S P N 構造決定処理の詳細フローチャートである。

【図 8】

S 関数に与えられる入力差分に対して出力差分が現われる確率を説明する図である。

【図 9】

S 関数における入出力ビットの間の線形関係式の成立確率を説明する図である。

【図 1 0】

インタリーブ変換の例を説明する図である。

【図 1 1】

プログラムのコンピュータへのローディングを説明する図である。

【図 1 2】

Feistel 構造の例を示す図である。

【図 1 3】

S P N 構造の例を示す図である。

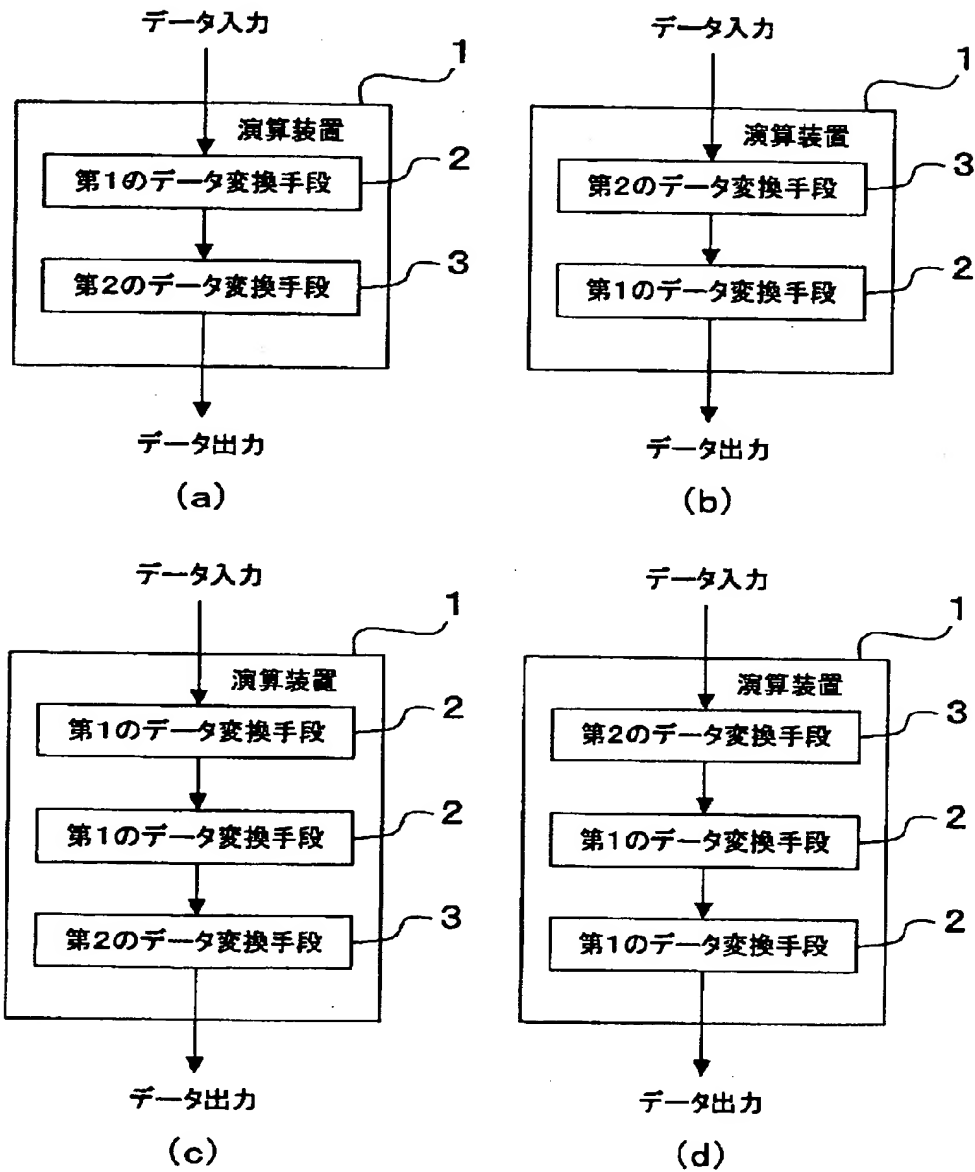
【符号の説明】

- 1 演算装置
- 2 第 1 のデータ変換手段
- 3 第 2 のデータ変換手段
- 1 0 処理装置
- 1 1 入力ファイル
- 1 2 出力ファイル
- 1 3 表示装置

【書類名】 図面

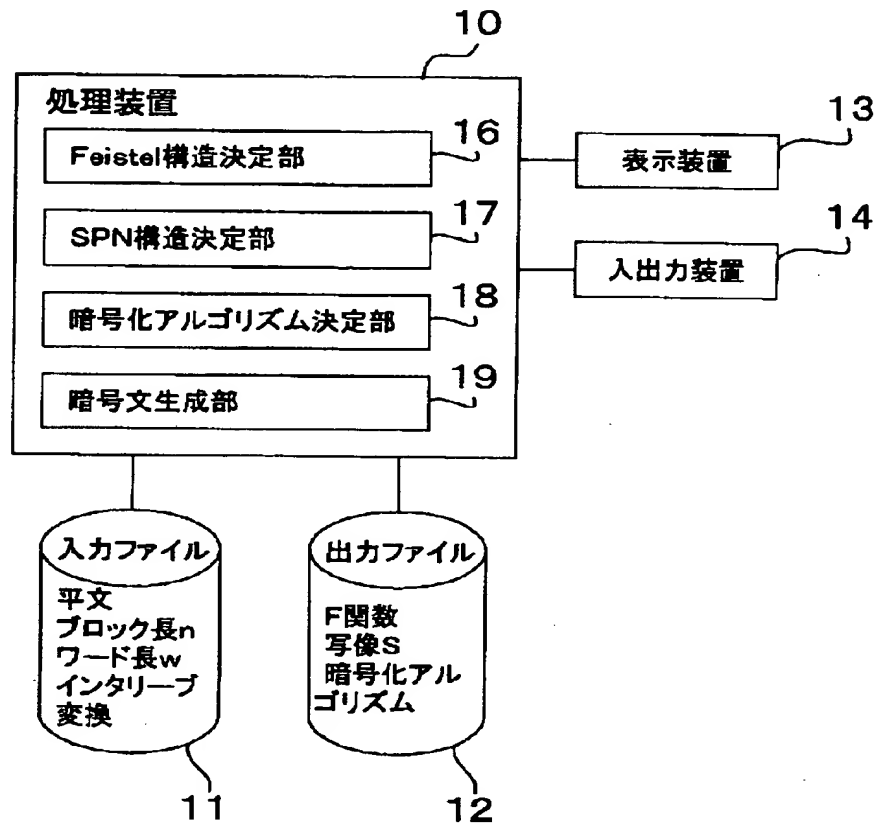
【図 1】

本発明の原理構成ブロック図



【図 2】

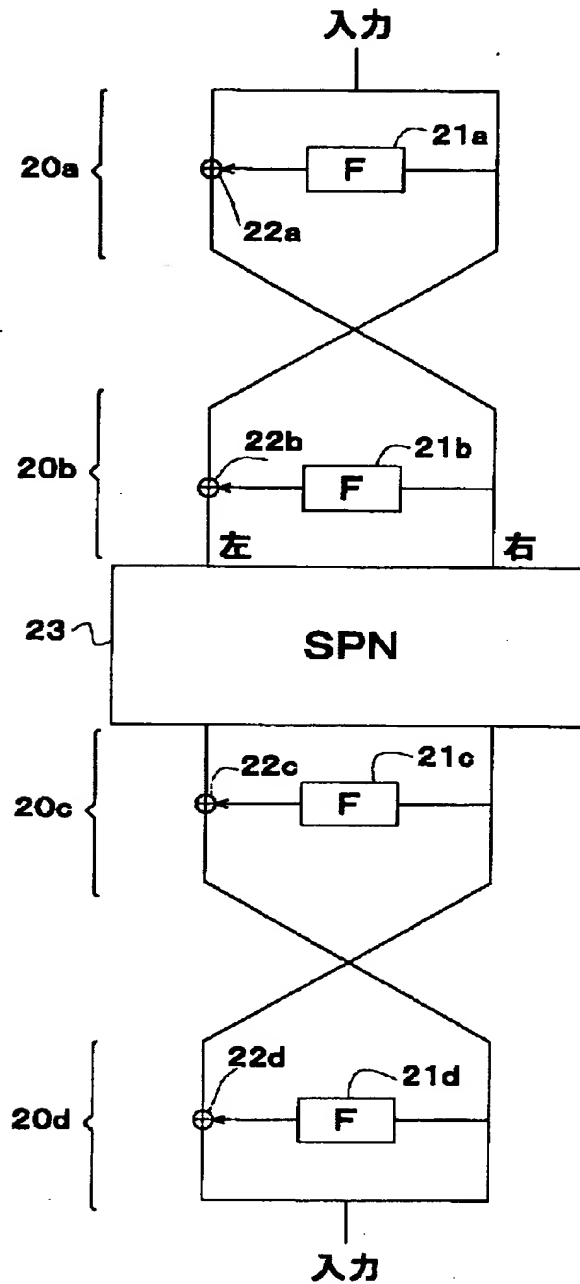
本発明における暗号化装置のシステム構成ブロック図





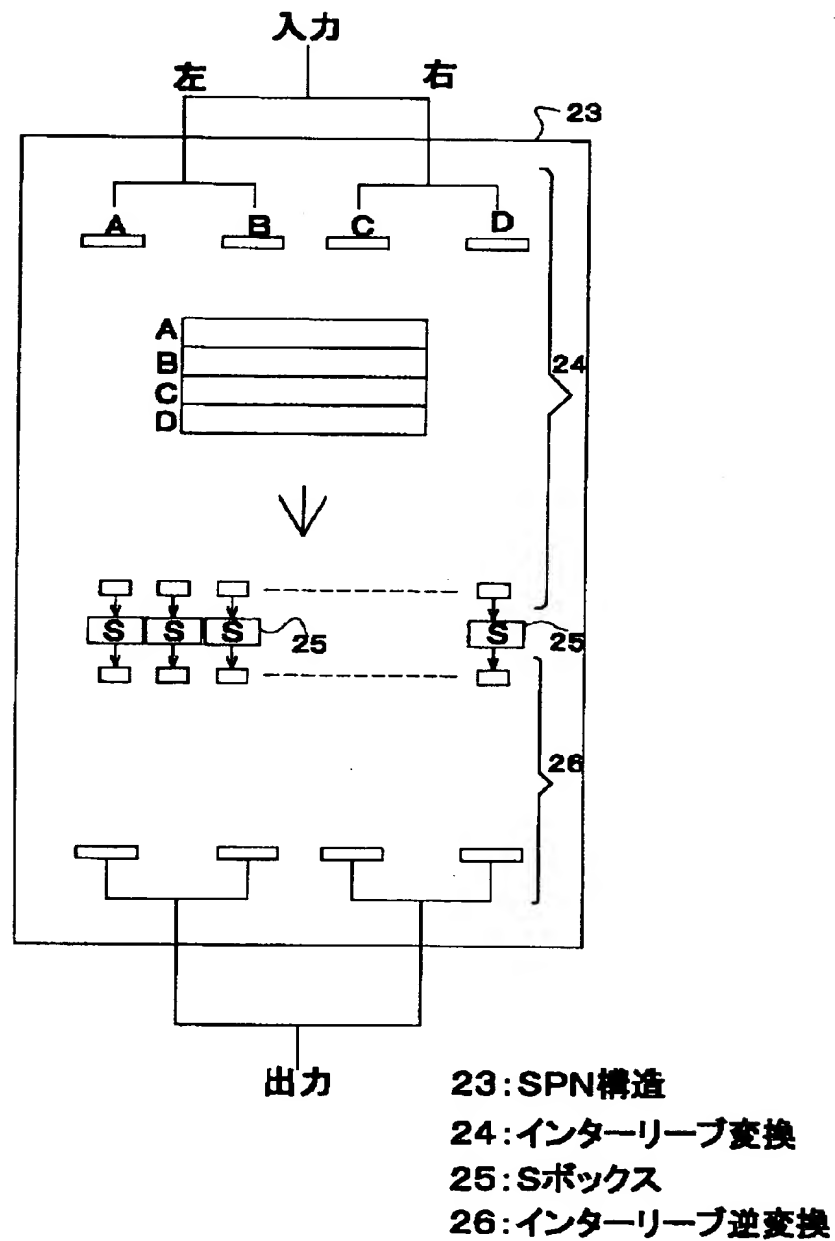
【図 3】

Feistel構造とSPN構造の組合わせの例を示す図



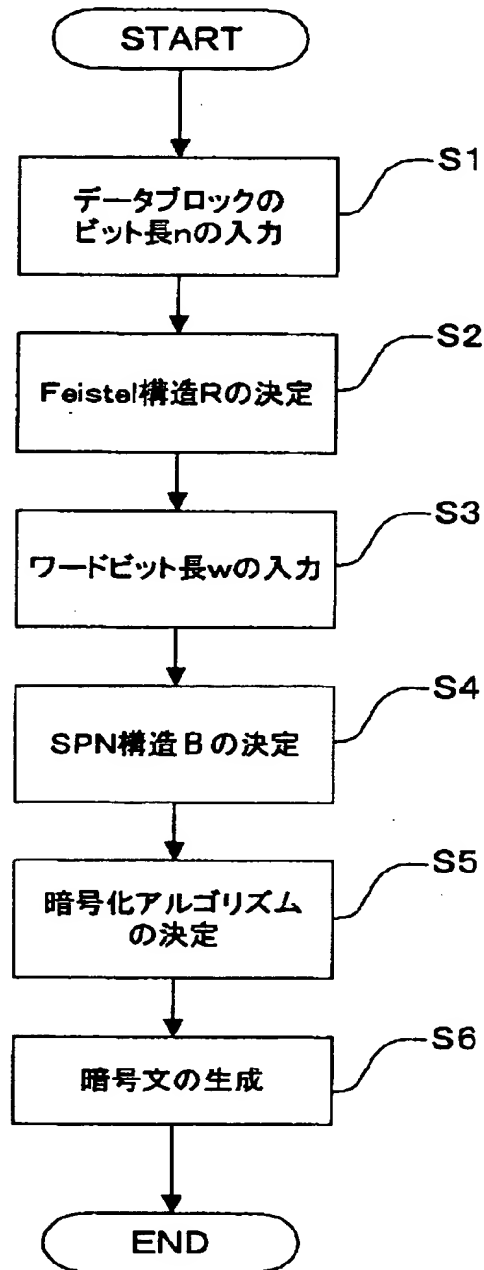
【図 4】

# SPN構造の構成例を示す図



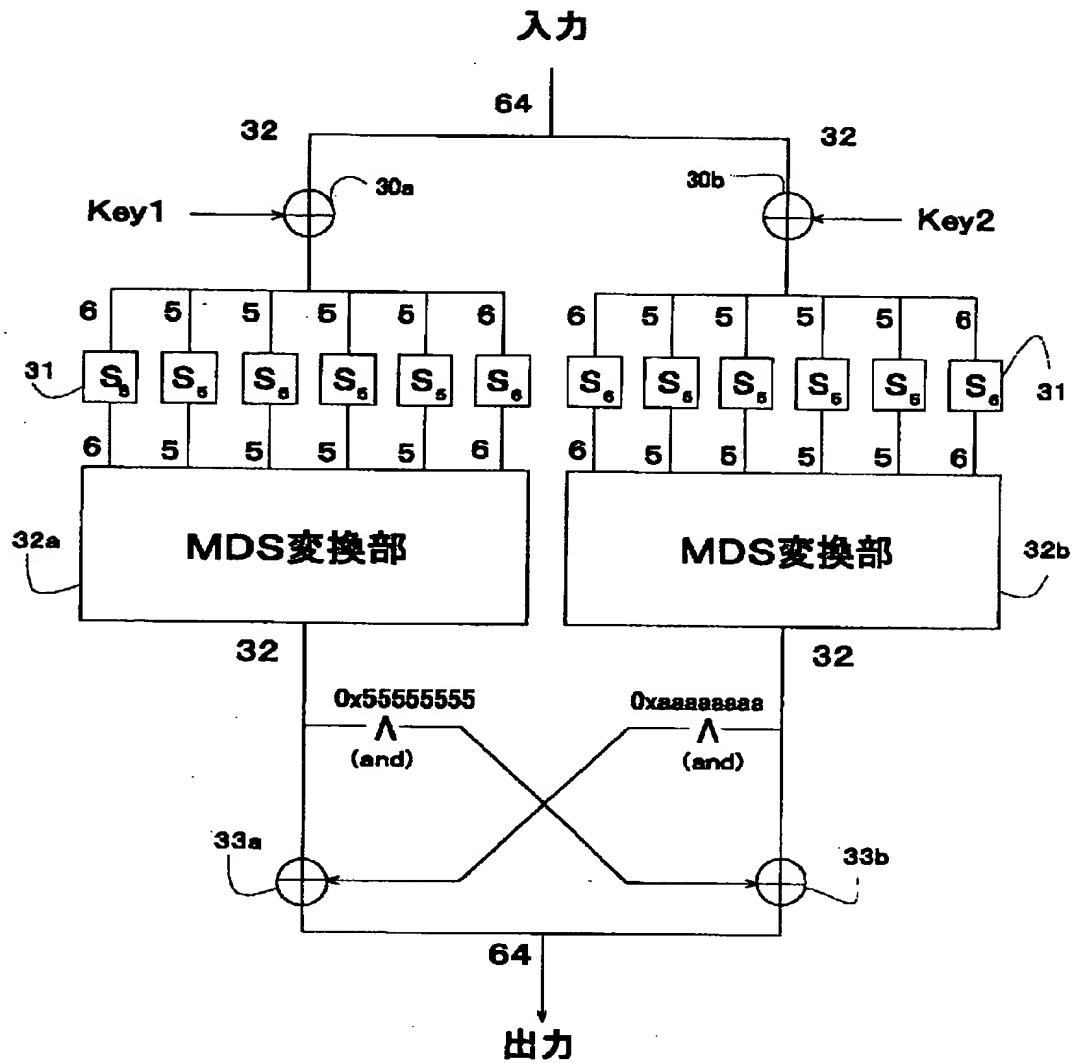
【図 5】

暗号化アルゴリズムの決定と  
入力データの暗号化処理の全体処理フローチャート



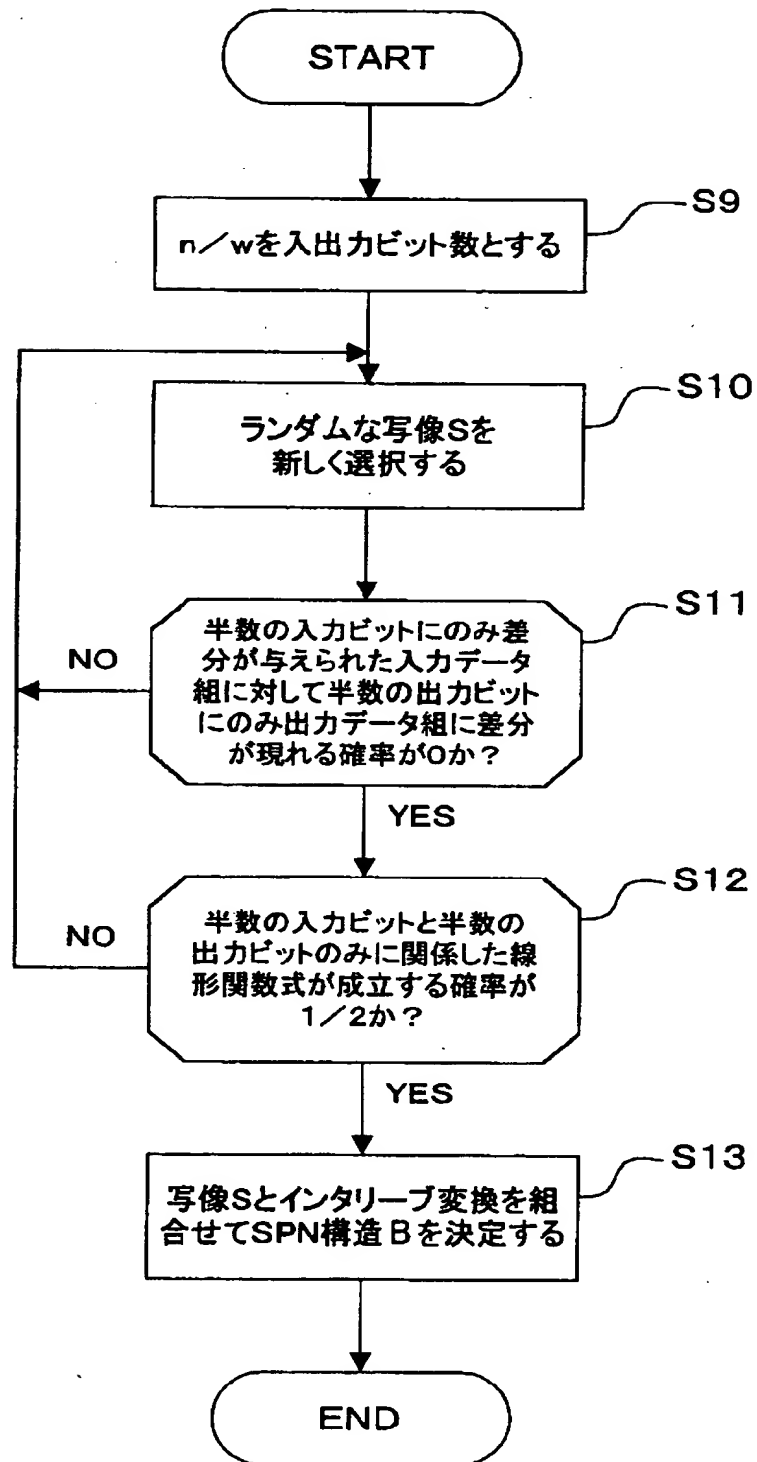
【図 6】

Feistel1構造で用いられるF関数の例を示す図



【図 7】

SPN構造決定処理の詳細フローチャート



【図 8】

S 関数に与えられる入力差分に対して  
出力差分が現われる確率を説明する図

入力差分	出力差分					
	(0001)	(0010)	(0011)	(0100)	(1000)	(1100)
(0001)	0	0	0	2	2	0
(0010)	0	0	0	0	2	2
(0011)	0	0	0	2	0	2
(0100)	0	0	2	0	0	0
(1000)	2	0	4	0	0	0
(1100)	4	2	0	0	0	0

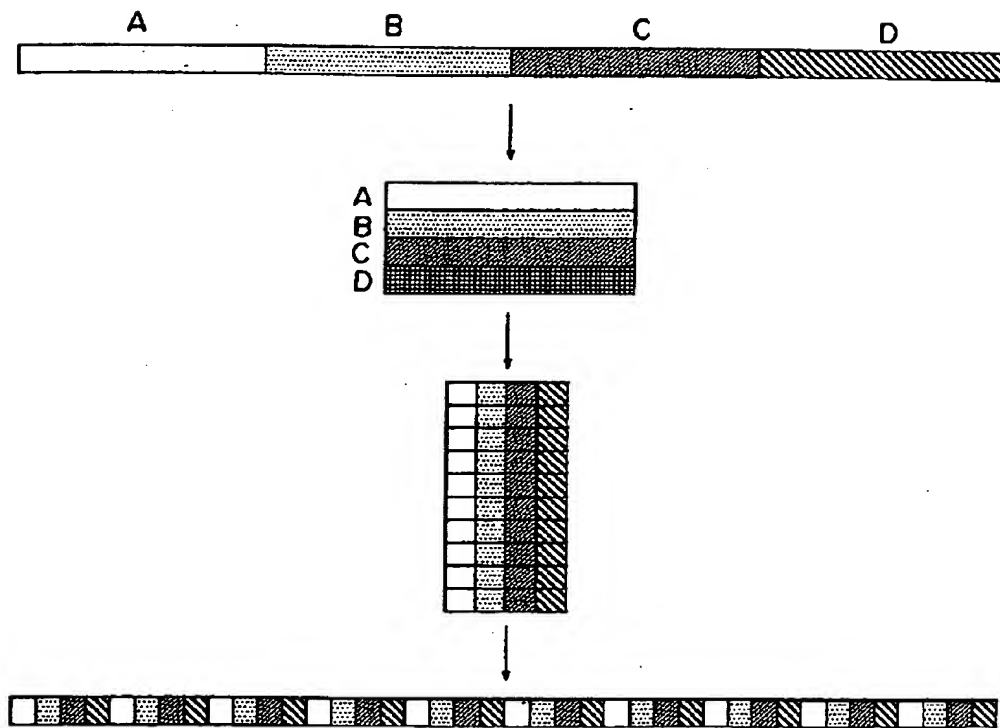
【図 9】

S関数における入出力ビットの間の  
線形関数式の成立確率を説明する図

入力ビット	出力ビット					
	(0001)	(0010)	(0011)	(0100)	(1000)	(1100)
(0001)	0	0	0	-4	2	-2
(0010)	0	0	0	2	4	2
(0011)	0	0	0	-2	-2	0
(0100)	2	2	-4	0	0	0
(1000)	-2	-2	0	0	0	0
(1100)	0	4	0	0	0	0

【図 10】

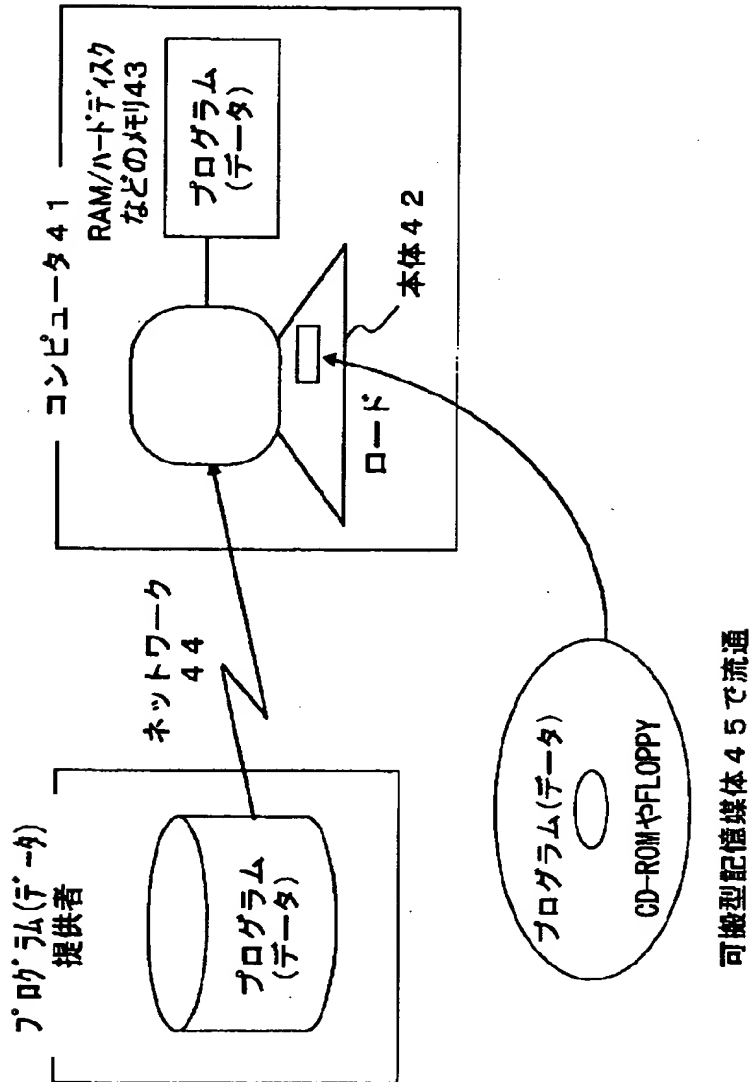
インタリーブ変換の例を説明する図





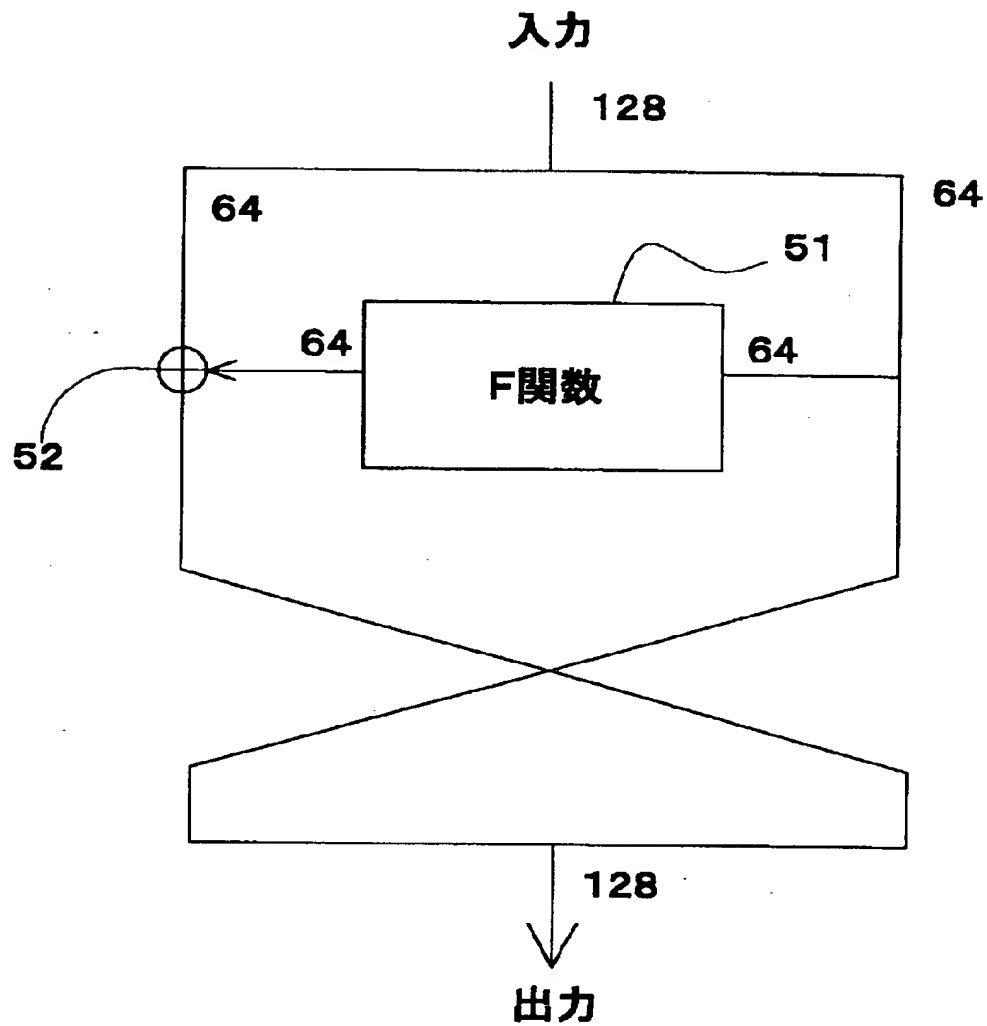
【図 11】

プログラムのコンピュータへの  
ローディングを説明する図



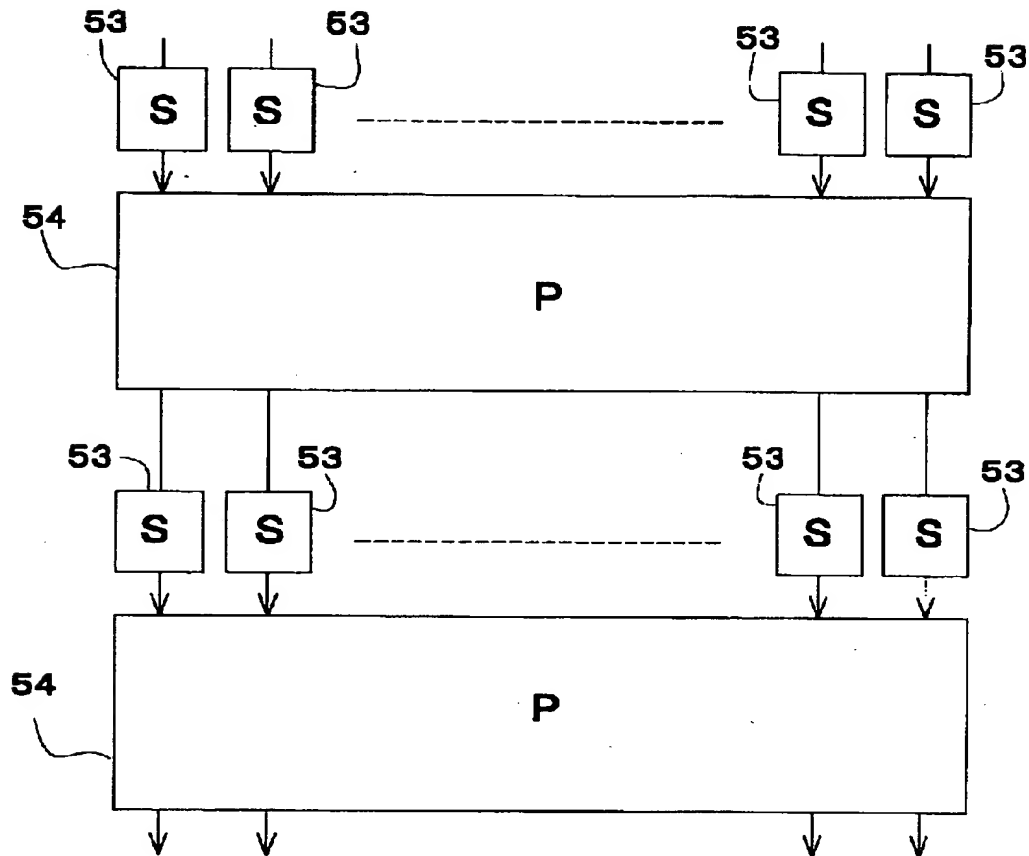
【図 1 2】

Feiste1構造の例を示す図



【図 1 3】

SPN構造の例を示す図



S: 非線形変換、P: 線形変換

【書類名】 要約書

【要約】

【課題】 共通鍵ブロック暗号化方式において、演算量を削減させ、かつデータ拡散性能を向上させる。

【解決手段】 Feistel 構造を用いてデータ変換を行う手段 2 の 1 つ以上と、S P N 構造を用いてデータ変換を行う手段 3 の 1 つ以上とを、データ入力とデータ出力との間で縦続的に組み合わせる。また S P N 構造内で、固定された半数の入力ビット、および同位置にある半数の出力ビットにのみ関係する線形関係式がすべての入出力データ間で成立する確率が  $1/2$  となる非線形変換手段を用いる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社